

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313568

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H03M 1/74
G09G 3/20
G09G 3/36

(21)Application number : 2000-228721

(71)Applicant : CENTURY SEMICONDUCTOR INC

(22)Date of filing : 28.07.2000

(72)Inventor : CHO SHINKETSU
SA KOKUYO
GO KAIFON
YO ZONKO

(30)Priority

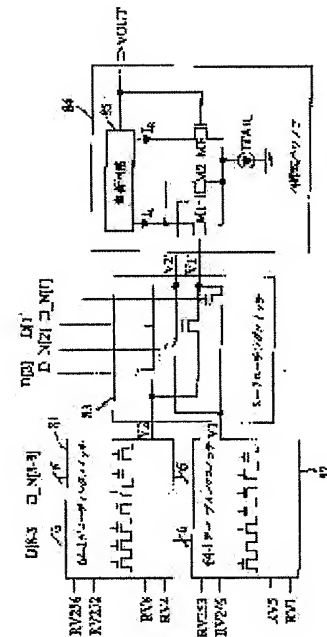
Priority number : 2000 89108237 Priority date : 28.04.2000 Priority country : TW

(54) INTERPOLATION DIGITAL/ANALOG CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively reduce the manufacturing cost of a source driver of a TFT-LCD (Thin Film Transistor - Liquid Crystal Display) and its occupied area through the interpolation technology.

SOLUTION: This invention provides the interpolation digital/analog converter applied to a source driver of the TFT-LCD that is provided with decoding switches 81, 82 that receive reference voltages and select two reference voltages (V1, V2) among the reference voltages on the basis of high-order bits of a digital image signal, a routing switch 83 that is connected to the decoding switches 81, 82 and selects 1st and 2nd reference voltages V1', V2' on the basis of two low-order bits of the digital image signal, and an interpolation buffer 84 that is connected to the routing switch 83 and generates an interpolation analog signal VOUT on the basis of the 1st and 2nd reference voltages.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-313568
(P2001-313568A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 3 M 1/74		H 0 3 M 1/74	5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F 5 C 0 8 0
			6 2 3 A 5 J 0 2 2
			6 2 3 Y
3/36		3/36	
審査請求 未請求 請求項の数10 O L (全 15 頁)			

(21) 出願番号 特願2000-228721(P2000-228721)
(22) 出願日 平成12年7月28日 (2000.7.28)
(31) 優先権主張番号 0 8 9 1 0 8 2 3 7
(32) 優先日 平成12年4月28日 (2000.4.28)
(33) 優先権主張国 台湾 (TW)

(71) 出願人 500351561
世紀半導体股▲ふん▼有限公司
台湾新竹科学園區工業東四路24-2号2F
(72) 発明者 趙 晋傑
台湾新竹県▲ちよん▼林郷上山村7隣三民
路73巷6号
(72) 発明者 左 克揚
台湾中和市華新街143巷55弄11号
(72) 発明者 呉 介▲ふおん▼
台湾新竹市武陵路36号16F-5
(74) 代理人 100096105
弁理士 天野 広

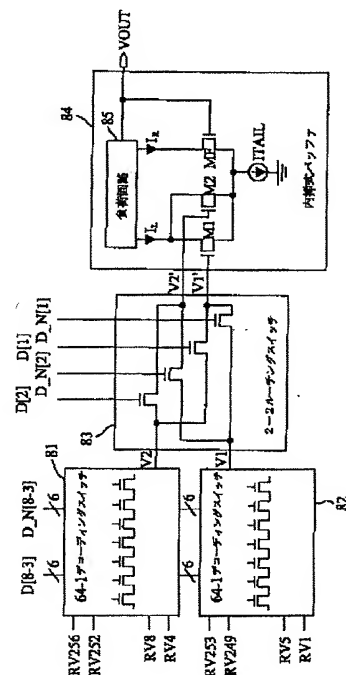
最終頁に続く

(54) 【発明の名称】 内挿式D-A変換器

(57) 【要約】

【課題】 内挿技術によってTFT-LCDのソースドライバの製造コスト及び占有面積を効果的に低減する。

【解決手段】 TFT-LCDのソースドライバに応用される内挿式D-A変換器であって、複数の基準電圧を受け、デジタル画像信号の複数の高ビットに基づいて複数の基準電圧から二つの基準電圧(V1, V2)を選択するデコーディングスイッチ81, 82と、デコーディングスイッチ81, 82に接続され、デジタル画像信号の二つの低ビットに基づいて第1基準電圧V1'と第2基準電圧V2'を選択するルーチングスイッチ83と、ルーチングスイッチ83に接続され、第1基準電圧と第2基準電圧に基づいて補間アナログ信号VOUTを生成する内挿式バッファ84と、を備える。



【特許請求の範囲】

【請求項 1】 TFT-LCD のソースドライバに用いる内挿式 D-A 変換器であって、
 複数の基準電圧を生成する基準電圧生成器と、
 前記基準電圧生成期から複数の基準電圧を受け、デジタル画像信号の複数の高ビットに基づいて、前記複数の基準電圧から二つの基準電圧を選択する少なくとも一つのデコーディングスイッチと、
 前記デコーディングスイッチに接続され、デジタル画像信号の複数の低ビットに基づいて、第 1 基準電圧と第 2 基準電圧とを生成するルーチングスイッチと、
 前記ルーチングスイッチに接続され、前記第 1 基準電圧と前記第 2 基準電圧とに基づいて補間アナログ信号を生成する内挿式バッファと、
 を備えてなる内挿式 D-A 変換器。

【請求項 2】 TFT-LCD のソースドライバに用いる内挿式 D-A 変換器であって、
 複数の基準電圧を生成する基準電圧生成器と、
 前記基準電圧生成期から複数の基準電圧を受け、デジタル画像信号の複数の高ビットに基づいて、前記複数の基準電圧から二つの基準電圧を一つのデコーディングスイッチと、
 前記デコーディングスイッチに接続され、デジタル画像信号の複数の低ビットに基づいて、第 1 乃至第 4 基準電圧を生成するルーチングスイッチと、
 前記ルーチングスイッチに接続され、前記第 1 乃至第 4 基準電圧に基づいて補間アナログ信号を生成する内挿式バッファと、
 を備えてなる内挿式 D-A 変換器。

【請求項 3】 システムクロックに基づいて前記デジタル画像信号を受ける複数のデータレジスタと、
 前記システムクロックに基づいて順次に前記複数のデータレジスタをイネーブルすることによって前記デジタル画像信号を受ける複数のシフト制御レジスタと、
 ラッチング信号に基づいて前記複数のデータレジスタが出力したデジタル画像信号をラッチングするラッチ手段と、
 をさらに有することを特徴とする請求項 1 または 2 に記載の内挿式 D-A 変換器。

【請求項 4】 前記内挿式バッファは、
 それぞれのゲートが複数の基準電圧の一つを受ける複数のトランジスタと、
 前記複数のトランジスタのそれぞれのドレインに接続される第 1 入力端を有する負荷回路と、
 前記負荷回路の出力端に接続されるゲートと、前記負荷回路の第 2 入力端に接続されるドレインと、を有するフィードバックトランジスタと、
 一定の電圧に接続される第 1 端と、前記複数のトランジスタのそれぞれのソース及び前記フィードバックトランジスタのソースに接続される第 2 端と、を有する電流源

と、
 からなるものであることを特徴とする請求項 1 乃至 3 の何れか一項に記載の内挿式 D-A 変換器。

【請求項 5】 前記内挿式バッファは、
 第一及び第二の電流源と、
 負荷回路と、
 第 1 乃至第 3 N 型トランジスタと、
 第 1 乃至第 3 P 型トランジスタと、からなり、
 前記第 1 N 型トランジスタはそのゲートを介して第 1 基準電圧を受け、
 前記第 2 N 型トランジスタはそのゲートを介して第 2 基準電圧を受け、
 前記第 1 N 型トランジスタ及び前記第 2 N 型トランジスタのドレインは前記負荷回路の第一入力端に接続され、
 前記第 3 N 型トランジスタのゲートは前記負荷回路の出力端に、ドレインは前記負荷回路の第二入力端にそれぞれ接続され、
 前記第 1 乃至第 3 N 型トランジスタのソースはそれぞれ前記第一電流源に接続され、
 前記第 1 P 型トランジスタはそのゲートを介して前記第 1 基準電圧を受け、そのドレインは前記負荷回路の第三入力端に接続され、
 前記第 2 P 型トランジスタはそのゲートを介して前記第 2 基準電圧を受け、そのドレインは前記負荷回路の第三入力端に接続され、
 前記第 3 P 型トランジスタのゲートは前記負荷回路の出力端に、ドレインは前記負荷回路の第四入力端にそれぞれ接続され、
 前記第 1 乃至第 3 P 型トランジスタのソースはそれぞれ前記第二電流源に接続されていることを特徴とする請求項 1 乃至 3 の何れか一項に記載の内挿式 D-A 変換器。

【請求項 6】 前記内挿式バッファは、
 負荷回路と、
 電流源と、
 複数個のトランジスタと、
 フィードバックトランジスタと、からなり、
 前記複数個のトランジスタはそのゲートを介して複数の基準電圧の一つをそれぞれ受け、
 前記複数個のトランジスタのドレインは前記負荷回路の第 1 入力端に接続され、
 前記フィードバックトランジスタのゲートは前記負荷回路の出力端に、ドレインは前記負荷回路の第二入力端にそれぞれ接続され、
 前記電流源は、前記複数個のトランジスタのソースと前記フィードバックトランジスタのソースとに接続されていることを特徴とする請求項 1 乃至 3 の何れか一項に記載の内挿式 D-A 変換器。

【請求項 7】 前記内挿式バッファは、
 正入力端において第 1 基準電圧を受け、負入力端が出力端に接続されている第 1 の出力アンプと、

正入力端において第2基準電圧を受け、負入力端が出力端に接続されている第2の出力アンプと、
からなるものであることを特徴とする請求項1乃至3の
何れか一項に記載の内挿式D-A変換器。

【請求項8】 TFT-LCDの画素アレイを駆動する
TFT-LCDのソースドライバであって、
システムクロックに基づいてデジタル画像信号を受ける
複数のデータレジスタと、
システムクロックに基づいて前記複数のデータレジスタ
を順次にイネーブルすることによって前記デジタル画像
信号を受ける複数のシフト制御レジスタと、
ラッチング信号に基づいて前記複数のデータレジスタが
出力した前記デジタル画像信号をラッチングするラッチ
手段と、

請求項1、2及び4乃至7の何れか一項に記載の内挿式
D-A変換器と、

を備えてなるTFT-LCDのソースドライバ。

【請求項9】 内挿式D-A変換器に用いられる内挿式
バッファであって、請求項4乃至7の何れか一項に記載
の構成を有する内挿式バッファ。

【請求項10】 TFT-LCDのソースドライバの解
像度に基づいて複数の基準電圧を生成するステップと、
デジタル画像信号の複数の高ビットに基づいて、前記複
数の基準電圧から第1部分集合の基準電圧値を選択する
ステップと、
前記デジタル画像信号の複数の低ビットに基づいて、前
記第1部分集合の中の基準電圧を選択することによっ
て、第2部分集合の基準電圧値を生成するステップと、
前記第2部分集合の基準電圧値に基づいて、補間アナロ
グ信号を出力するステップと、
を有するTFT-LCDのソースドライバの補間アナロ
グ信号の生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は大量のディジタル
アナログ(D-A)変換器をシングルチップに集積化し
た内挿式D-A変換器に係わり、特に、薄膜トランジ
スタ液晶表示器(TFT-LCD)のソースドライバに応
用される内挿式D-A変換器に係わる。

【0002】

【従来の技術】TFT-LCDのソースドライバは画像
信号を提供することによって、LCDの画素アレイを駆
動する回路である。

【0003】図1に、従来のTFT-LCDのソースド
ライバ10の構成を示す。

【0004】TFT-LCDソースドライバ10は、3
84個の出力チャンネル101を有し、それぞれのチャ
ネルに8ビットの解像度を有する。シフト制御レジ
スタ108は2方向のシフトレジスタであり、DIO L又
はDIO R信号に基づいて、左側から又は右側から順次

にデータレジスタ104をイネーブルする。

【0005】システムクロックSCLK信号109が立
ち上がる時、データは、48ビットの入力バスDIN
[1-48]を経由して、順次に、384個のデータレジ
スタ104に送られ、6個のデータレジスタ104が充
填される。すべてのデータレジスタ104にデータが充
填された後、ラッチングLAT信号107が立ち上がる
際に、データレジスタ104に一時保存されるデータが
データラッチ105に送信される。データラッチ105
の出力が384個の8ビットD-A変換器102によっ
てアナログ電圧信号に変換され、画素アレイ106を駆
動する。

【0006】このように、従来のTFT-LCDのソー
スドライバ10は大量のD-A変換器102を必要とし
ていたため、D-A変換器102がソースドライバ10
の面積とコストの大部分を占めていた。

【0007】図2に従来のD-A変換器102の詳細な
構成を示す。

【0008】このD-A変換器102は、基準電圧生成
器21と、デコーディングスイッチ22と、出力バッ
ファ103と、を含む。

【0009】基準電圧生成器21は、図3に示すよう
に、255個の抵抗R0-R254を含み、256個の
基準電圧RV1-RV256を生成する。255個の抵
抗R0-R254の抵抗値は全て同一であるとは限らな
い。一般に、抵抗値はガンマ補正トランスファカーブに
適合するように選ばれる。これらの256個のグロー
バル基準電圧RV1-RV256は、一般に、256本の
水平金属線を介してデコーディングスイッチ22に印可
される。

【0010】デコーディングスイッチ22は、図4に示
すように、256個のスイッチ列31を有しており、そ
れぞれのスイッチ列31は8個のシリアルトランジスタ
32を有している。256個のスイッチ列31の中の一
列は選ばれた基準電圧値を出力バッファ103に出力す
る。

【0011】従来の出力バッファ103の回路構成の一
例を図5に示す。

【0012】

【発明が解決しようとする課題】前述の説明により、従
来のソースドライバ10の主要な課題は、デコーディ
ングスイッチ22が複雑であり、かつ、その占有面積が大
きいという点である。すなわち、デコーディングスイ
ッチ22中には、水平金属線とシリアルスイッチ32とが
数多く存在するので、それらがダイ領域の大部分の面積
を占め、チップコストを上昇させる原因となっていた。

【0013】また、出力極性制御を有する従来の薄膜ト
ランジスタ(TFT)は、8ビット解像度の場合、2組
の基準電圧を要するため、512本の金属線を必要とし
ていた。この場合、単にD-A変換器の部分でもチップ

全体の面積の1/3を占めるという問題点があった。

【0014】そこで、本発明は、TFT-LCDのソースドライバの出力バッファ段に内挿技術を導入することによって、解像度の劣化を防止しつつ、D-A変換器の基準線の数減少させることを可能にする、TFT-LCDのソースドライバに応用される内挿式D-A変換器を提供することを目的とする。

【0015】また、本発明は、従来のD-A変換器に比べて、半分の数の基準線と半分の数のトランジスタで構成されるデコーディングスイッチとで実現できる内挿式D-A変換器を提供することを目的とする。

【0016】また、本発明は、内挿式D-A変換器に応用され、補間アナログ信号を生成できる内挿式バッファを提供することを目的とする。

【0017】

【課題を解決するための手段】この目的を達成するため、請求項1は、TFT-LCDのソースドライバに用いる内挿式D-A変換器であって、複数の基準電圧を生成する基準電圧生成器と、基準電圧生成期から複数の基準電圧を受け、デジタル画像信号の複数の高ビットに基づいて、前記複数の基準電圧から二つの基準電圧を選択する少なくとも一つのデコーディングスイッチと、前記デコーディングスイッチに接続され、デジタル画像信号の複数の低ビットに基づいて、第1基準電圧と第2基準電圧とを生成するルーチングスイッチと、前記ルーチングスイッチに接続され、前記第1基準電圧と前記第2基準電圧とに基づいて補間アナログ信号を生成する内挿式バッファと、を備えてなる内挿式D-A変換器を提供する。

【0018】請求項2は、TFT-LCDのソースドライバに用いる内挿式D-A変換器であって、複数の基準電圧を生成する基準電圧生成器と、基準電圧生成期から複数の基準電圧を受け、デジタル画像信号の複数の高ビットに基づいて、前記複数の基準電圧から二つの基準電圧を一つのデコーディングスイッチと、前記デコーディングスイッチに接続され、デジタル画像信号の複数の低ビットに基づいて、第1乃至第4基準電圧を生成するルーチングスイッチと、前記ルーチングスイッチに接続され、前記第1乃至第4基準電圧に基づいて補間アナログ信号を生成する内挿式バッファと、を備えてなる内挿式D-A変換器を提供する。

【0019】請求項3に記載されているように、上述の内挿式D-A変換器は、システムクロックに基づいて前記デジタル画像信号を受ける複数のデータレジスタと、前記システムクロックに基づいて順次に前記複数のデータレジスタをイネーブルすることによって前記デジタル画像信号を受ける複数のシフト制御レジスタと、ラッチング信号に基づいて前記複数のデータレジスタが出力したデジタル画像信号をラッチングするラッチ手段と、をさらに有することが好ましい。

【0020】本発明に係る内挿式D-A変換器における内挿式バッファは種々の構成を選択することができる。

【0021】例えば、請求項4に記載されているように、内挿式バッファは、それぞれのゲートが複数の基準電圧の一つを受ける複数のトランジスタと、前記複数のトランジスタのそれぞれのドレインに接続される第1入力端を有する負荷回路と、前記負荷回路の出力端に接続されるゲートと、前記負荷回路の第2入力端に接続されるドレインと、を有するフィードバックトランジスタと、一定の電圧に接続される第1端と、前記複数のトランジスタのそれぞれのソース及び前記フィードバックトランジスタのソースに接続される第2端と、を有する電流源と、から構成することができる。

【0022】あるいは、請求項5に記載されているように、内挿式バッファは、第一及び第二の電流源と、負荷回路と、第1乃至第3N型トランジスタと、第1乃至第3P型トランジスタと、からなり、前記第1N型トランジスタはそのゲートを介して第1基準電圧を受け、前記第2N型トランジスタはそのゲートを介して第2基準電圧を受け、前記第1N型トランジスタ及び前記第2N型トランジスタのドレインは前記負荷回路の第1入力端に接続され、前記第3N型トランジスタのゲートは前記負荷回路の出力端に、ドレインは前記負荷回路の第2入力端にそれぞれ接続され、前記第1乃至第3N型トランジスタのソースはそれぞれ前記第一電流源に接続され、前記第1P型トランジスタはそのゲートを介して前記第1基準電圧を受け、そのドレインは前記負荷回路の第3入力端に接続され、前記第2P型トランジスタはそのゲートを介して前記第2基準電圧を受け、そのドレインは前記負荷回路の第3入力端に接続され、前記第3P型トランジスタのゲートは前記負荷回路の出力端に、ドレインは前記負荷回路の第4入力端にそれぞれ接続され、前記第1乃至第3P型トランジスタのソースはそれぞれ前記第二電流源に接続されているように構成することもできる。

【0023】あるいは、請求項6に記載されているように、内挿式バッファは、負荷回路と、電流源と、複数個のトランジスタと、フィードバックトランジスタと、からなり、前記複数個のトランジスタはそのゲートを介して複数の基準電圧の一つをそれぞれ受け、前記複数個のトランジスタのドレインは前記負荷回路の第1入力端に接続され、前記フィードバックトランジスタのゲートは前記負荷回路の出力端に、ドレインは前記負荷回路の第2入力端にそれぞれ接続され、前記電流源は、前記複数個のトランジスタのソースと前記フィードバックトランジスタのソースとに接続されているように構成することができる。

【0024】あるいは、請求項7に記載されているように、前記内挿式バッファは、正入力端において第1基準電圧を受け、負入力端が出力端に接続されている第1の

出力アンプと、正入力端において第2基準電圧を受け、負入力端が出力端に接続されている第2の出力アンプと、から構成することもできる。

【0025】請求項8は、TFT-LCDの画素アレイを駆動するTFT-LCDのソースドライバであって、システムクロックに基づいてデジタル画像信号を受ける複数のデータレジスタと、システムクロックに基づいて前記複数のデータレジスタを順次にイネーブルすることによって前記デジタル画像信号を受ける複数のシフト制御レジスタと、ラッチング信号に基づいて前記複数のデータレジスタが出力した前記デジタル画像信号をラッチングするラッチ手段と、上述の内挿式D-A変換器と、を備えてなるTFT-LCDのソースドライバを提供する。

【0026】請求項9に記載されているように、上述の内挿式バッファは、内挿式D-A変換器用バッファとして、それ単独で使用することも可能である。

【0027】請求項10は、TFT-LCDのソースドライバの解像度に基づいて複数の基準電圧を生成するステップと、デジタル画像信号の複数の高ビットに基づいて、前記複数の基準電圧から第1部分集合の基準電圧値を選択するステップと、前記デジタル画像信号の複数の低ビットに基づいて、前記第1部分集合の中の基準電圧を選択することによって、第2部分集合の基準電圧値を生成するステップと、前記第2部分集合の基準電圧値に基づいて、補間アナログ信号を出力するステップと、を有するTFT-LCDのソースドライバの補間アナログ信号の生成方法を提供する。

【0028】本発明によれば、内挿技術を用いることによって、従来のD-A変換器と比較して、半分の数のD-A基準線と半分の数のトランジスタを有するデコーディングスイッチとで内挿式D-A変換器を構成することが可能になるので、ダイのコスト及び占有面積を十分に低減することができる。

【0029】

【発明の実施の形態】 TFT-LCDのソースドライバのコストは、主に、D-A基準線の数とD-A基準線に伴ったデコーディングスイッチの複雑さに依存する。このため、D-A変換器を2段で実現することにより、解像度を維持しつつ、コストダウンを図ることができる。

【0030】図6にD-A変換器の一実施形態を示す。

【0031】図6に示すように、このD-A変換器は、デコーディングスイッチ51と、デコーディングスイッチ51に接続されている出力バッファ53と、出力バッファ53に接続されている信号線(LSB)52と、を備えている。このD-A変換器の解像度は8ビットである。

【0032】図7は、出力バッファ53の構成の一例を示す回路図である。

【0033】図7に示すように、出力バッファ53は、

負荷回路54と、第1トランジスタM1と、第2トランジスタM2と、第3トランジスタM3と、第1電流源55と、第2電流源56と、抵抗Rと、を備えている。

【0034】第1トランジスタM1は、そのゲートを介して、デコーディングスイッチ51から出力電圧を受け、ドレインは負荷回路54の入力端に、ソースは第1電流源55にそれぞれ接続されている。

【0035】第2トランジスタM2のゲートは負荷回路54の出力端及び第3トランジスタM3のドレインに、ドレインは負荷回路54の入力端に、ソースは第1電流源55にそれぞれ接続されている。

【0036】第3トランジスタM3は、そのゲートを介して、信号線52から出力電圧を受け、ドレインは抵抗Rを介して負荷回路54の出力端に、ソースは第2電流源56にそれぞれ接続されている。

【0037】図6に示したD-A変換器においては、デコーディングスイッチ51は、信号線(LSB)52を出力バッファ53の出力端における追加の電流源として用いるので、デコーディングスイッチ51内の基準線の数128本に減少させることが可能である。

【0038】従って、128本の基準線(RV2, RV4, ...)を取り除くことができ、これに伴って省略された信号は、信号線(LSB)52を介して、出力バッファ53内部における選択によって、内挿することができる。

【0039】しかしながら、この設計には次のような問題点がある。

【0040】まず、信号線(LSB)52の電流源がすべてのD-A変換器においてマッチすることは困難なので、出力対出力偏差(output-to-output deviation)が大きくなる。加えて、TFT-LCDの応用において、信号線(LSB)52によって選択される電圧値は、ガンマ補正のため、その間隔が一定ではない。

【0041】このため、信号線(LSB)52の電流源を分割する必要が生じるため、それに応じた余分の電流スイッチを増やす必要がある。結局、信号線(LSB)52の電流スイッチの複雑さを増やすことになり、回路の実現が難しくなる。

【0042】更に、2本の信号線(LSB)52とそれに伴った電流スイッチをバッファ増幅段に設けることにより、基準線の本数をさらに64本に減少することができる。しかしながら、このような構成もD-A変換器の直線性(Linearity)に対して大きな影響を与えるとともに、出力対出力偏差も大きくなる。

【0043】前述のことに鑑みて、本発明はその一実施形態として、図8に示すD-A変換器を提供する。

【0044】図8に示すように、本実施形態に係る内挿式D-A変換器は、二つの64-1デコーディングスイッチ81、82と、64-1デコーディングスイッチ81、82に接続される2-2ルーチングスイッチ83

と、2-2ルーチングスイッチ83に接続され、補間アナログ信号VOUTを生成する内挿式出力バッファ84と、を有する。

【0045】64-1デコーディングスイッチ81、82は対になっている。64-1デコーディングスイッチ81は64本の基準線を介して入力信号(RV4, RV8, ..., RV252, RV256)を受け、基準電圧V2を生成している。一方、64-1デコーディングスイッチ82は64本の基準線を介して入力信号(RV1, RV5, ..., RV249, RV253)を受け、基準電圧V1を生成している。これによって、省略された電圧値(RV2, RV6, ..., RV250, RV254)と(RV3, RV7, ..., RV251, RV255)を内挿する。

【0046】2-2ルーチングスイッチ83は、対をなす64-1デコーディングスイッチ81、82の双方に接続されるため、デコーディングスイッチ81、82が生成した基準電圧値V1, V2の双方を受けるとともに、デジタル画像信号を受信している。

【0047】2-2ルーチングスイッチ83は、デジタル画像信号の二つの低ビットD[1]及びD[2]に基づいて、二つの基準電圧V1'及びV2'を生成する。2-2ルーチングスイッチ83が64-1デコーディングスイッチ81、82から受ける基準電圧はV1, V2の二つであるため、二つの基準電圧(V1', V2')は次の4つの組合せの中の一つとなる。

【0048】(V1, V1)、(V1, V2)、(V2, V1)、(V2, V2)
内挿式バッファ84は、2-2ルーチングスイッチ83に接続されているため、2-2ルーチングスイッチ83から基準電圧V1', V2'を受け、補間アナログ信号VOUTを生成する。

$$S_1 \times V_{G1}^2 + S_2 \times V_{G2}^2 = S_F \times V_{GF}^2 \quad (1)$$

ここで、 V_{G1} , V_{G2} , V_{GF} はそれぞれ対応するトランジスタのゲート駆動電圧を

表す。

$$V_{G2} = V_{G1} + \Delta V, \quad \text{かつ、} \Delta V \ll V_{G1}, V_{G2} \text{ と仮定すると、式(1)は次式に書き換}$$

えられる。

$$\ast \ast \quad S_1 \times V_{G1}^2 + S_2 \times (V_{G1} + \Delta V)^2 = S_F \times V_{GF}^2 \quad (2)$$

$$\Delta V \ll V_{G1}, V_{G2}, \quad \text{かつ、} S_F = S_1 + S_2 \text{ であるため、式(2)は次式に簡素化する}$$

ことができる。

$$V_{GF}^2 \approx V_{G1}^2 \times \left(1 + 2 \times \frac{S_2}{S_F} \times \frac{\Delta V}{V_{G1}} \right) \quad (3)$$

* 【0049】内挿式バッファ84は、二つの入力トランジスタM1、M2と、フィードバックトランジスタMFと、電流源TAILと、負荷回路85と、を有する。

【0050】トランジスタM1は、そのゲートを介して、基準電圧V1'を受ける。トランジスタM2は、そのゲートを介して、基準電圧V2'を受ける。フィードバックトランジスタMFのゲートは負荷回路85の出力端に接続されている。負荷回路85は2つの入力端を有しており、それぞれトランジスタM1とM2との共有ドレイン及びフィードバックトランジスタMFのドレインに接続され、負荷回路85の出力端はフィードバックトランジスタMFのゲートに接続されている。

【0051】負荷回路85は、電流/電圧変換及び差動/単端(differential/single-end)変換の二つの機能を提供する。

【0052】電流源TAILの第1端は一定の電圧に接続され、第2端がトランジスタM1、M2及びフィードバックトランジスタMFのソースに接続されている。

【0053】本実施形態における内挿式バッファ84の主要な特徴は、フィードバックトランジスタMFとトランジスタM1、M2とが以下の関係を満足する点である。

【0054】まず、 $S = W/L$ (L : トランジスタのチャンネルの長さ、 W : トランジスタのチャンネルの幅)を定義すると、トランジスタM1、M2及びフィードバックトランジスタMFの寸法は次式を満足する。

$$\text{【0055】} S_1 + S_2 = m S_F$$

ここで、 m は任意の正の数である。安定の状態では、負荷回路85は式 $I_L = n I_k$ に基づいて設計されている。ここで、 n は任意の正の数である。即ち、 $n = m = 1$ と仮定すると、安定の状態では、下記の式が得られる。

式(3)のテイラー級数展開を行えば、下式になる。

$$V_{GF} \approx V_{G1} + \frac{S_2}{S_F} \times \Delta V \quad (4)$$

従って、

$$V_{out} \approx V_1' + \frac{S_2}{S_F} \times (V_2' - V_1') \quad (5)$$

式(5)により、トランジスタM1、M2、MFのゲート駆動電圧が内挿しようとする電圧値同士の差よりもかなり大きい場合、補間の結果が線形であることがわかる。さらに、内挿しようとする電圧値はトランジスタの寸法を調整することによって容易に達成することができる。

【0056】従って、図8に示す本実施形態に係るD-A変換器の構成が二つの基準電圧値V1、V2に基づいて補間アナログ信号VOUTを生成することができる。

【0057】なお、図9に示すように、2-2ルーチングスイッチ83と内挿式バッファ84とは四つの組合せがある。

【0058】D[2]とD[1]とがともに0である場合、VOUTはV1に等しい。

【0059】一方、D[2]とD[1]とがともに1である場合、VOUTはV2に等しい。

【0060】D[2]とD[1]とが等しくない場合、内挿の方式を用いて、中間電圧を生成することができる。詳しくは、D[2]が0であり、D[1]が1である場合、VOUTの補間電圧値は $S_2/S_F \times V1 + S_1/S_F \times V2$ になる。一方、D[2]が1で、D[1]が0である場合、VOUTの補間電圧値は $S_1/S_F \times V1 + S_2/S_F \times V2$ になる。

【0061】以上のように、内挿方式により、二つの基準電圧V1、V2から四つの電圧値を生成することができる。デコーディングスイッチ81、82はそれぞれ6ビットの解像度を有する。両者合わせて7ビットの解像度を達成できる。2-2ルーチングスイッチ83と内挿式バッファ84とは第8ビットの解像度を提供することができる。

【0062】従って、図8に示すD-A変換器は基準線の数256本から128本まで減少させることができ、かつ、シリアルMOSTランジスタの数を8個から7個まで減少させることができる。全体的に言えば、本実施形態に係るD-A変換器においては、従来のD-A変換器と比較して、面積及び作動速度が明らかに改善されている。

【0063】注意すべきことは、この内挿方法はNMO Sの入力バッファのみならず、PMOS又はrail-to-rail方式の入力バッファに適用することも可能である点である。

【0064】rail-to-rail入力方式の内挿式バッファの構成の一例を図10に示す。

【0065】図10に示すように、出力バッファ90は、2つの電流源ITN及びITPと、負荷回路91

と、トランジスタMN1、MN2、MNFからなるトランジスタ組と、トランジスタMP1、MP2、MPFからなるトランジスタ組と、を有する。

【0066】トランジスタMN1はそのゲートを介して基準電圧V1を受け、トランジスタMN2はそのゲートを介して基準電圧V2を受ける。負荷回路91の入力端IN1がトランジスタMN1とトランジスタMN2のドレインに接続されている。トランジスタMNFのゲートが負荷回路91の出力端OUT1に接続され、ドレインが負荷回路91の入力端IN2に接続される。電流源ITNの第1端は一定の電圧に接続され、第2端はトランジスタMN1、MN2、MNFのソースに接続されている。

【0067】トランジスタMP1はそのゲートを介して基準電圧V1を受け、ドレインは負荷回路91の入力端IN3に接続されている。トランジスタMP2はそのゲートを介して基準電圧V2を受け、ドレインは負荷回路91の入力端IN3に接続されている。トランジスタMPFのゲートは負荷回路91の出力端OUT1に接続され、ドレインは負荷回路91の入力端IN4に接続されている。電流源ITPの第1端が一定の電圧に接続され、第2端がトランジスタMP1、MP2、MPFのソースに接続されている。

【0068】また、任意の数の基準電圧によって任意の数の電圧値を内挿することも可能である。

【0069】図11に示すように、内挿式バッファ11は、負荷回路12と、電流源ITAILと、K個のトランジスタM1、M2、…、MKと、フィードバックトランジスタMFと、を有する。各トランジスタはそのゲートを介して複数の基準電圧から選ばれた一つの基準電圧を受ける。負荷回路12は、各トランジスタM1、M2、…、MKのドレインに接続される入力端IN1を有する。フィードバックトランジスタMFのゲートは負荷回路12の出力端OUT1に接続され、ドレインは負荷回路12の入力端IN2に接続されている。電流源ITAILの第1端は一定の電圧に接続され、その第2端は各トランジスタM1、M2、…、MKとフィードバックトランジスタMFのソースに接続されている。

【0070】内挿式バッファ11における各トランジスタM1、M2、…、MKと負荷回路12との間の位置関係が図8に示す2入力の内挿式バッファ84に類似している。安定の状態では、 $S_1 + S_2 + \dots + S_K = nS_F$ 、かつ、 $I_L = nI_r$ 、 $n = m = 1$ の場合、下式が得られる。

$$V_{out} \approx V_1 + \frac{S_2}{S_F}(V_2 - V_1) + \frac{S_3}{S_F}(V_3 - V_1) + \dots + \frac{S_K}{S_F}(V_K - V_1) \quad (6)$$

複数点入力の内挿式バッファを用いる D-A 変換器の他の実施形態を図 12 に示す。

【0071】図 12 に示す D-A 変換器は、デコーディングスイッチ 121 と、デコーディングスイッチ 121 に接続されている 2-4 ルーチングスイッチ 122 と、2-4 ルーチングスイッチ 122 に接続されている内挿式バッファ 123 と、を備えている。

【0072】この D-A 変換器においては、デコーディングスイッチ 121 が 6 本の基準電圧線 RV1, RV5, ..., RV253, RV257 を受け、2 つの出力として基準電圧 V1, V2 を生成する。2-4 ルーチングスイッチ 122 はデコーディングスイッチ 121 から基準電圧 V1, V2 を受け、四つの基準電圧出力 V1', V2', V3', V4' を生成する。

【0073】内挿式バッファ 123 は四つの入力端を有しており、各入力端を介して、四つの基準電圧出力 V1', V2', V3', V4' が各トランジスタ M1, M2, M3, M4 にゲートを介してそれぞれ印可される。この結果として、2-4 ルーチングスイッチ 122 に接続されている内挿式バッファ 123 は補間電圧 VOUT を生成する。

【0074】仮に、安定の状態では、 $S_1 = S_2 = S_3 = S_4 = S_F / 4$ 、かつ、 $I_L = I_R$ とすると、2-4 ルーチングスイッチ 122 と四つの入力端を有する内挿式バッファ 123 とが生成する補間電圧値 VOUT は、図 13 に示すように、4 通りの組合せを有する。

【0075】内挿式バッファの他の実施形態を図 14 に示す。

【0076】図 14 に示す内挿式バッファは二つの出力アンプ OP1, OP2 からなり、出力バッファの出力端において、ワイヤード OR の方式により、二つの出力アンプ OP1, OP2 の出力が合成される。

【0077】出力アンプ OP1 の正入力端は基準電圧 V1 を受け、その負入力端は出力端に接続されている。出力アンプ OP2 の正入力端は基準電圧 V2 を受け、その負入力端は出力端に接続されている。補間出力値 VOUT は下式より導出できる。

$$\frac{A1 \times V_1 + A2 \times V_2}{A1 + A2 + 1}$$

ここで、A1 と A2 がそれぞれ出力アンプ OP1, OP2 の開回路のゲインである。

【図面の簡単な説明】

【図 1】従来の TFT-LCD のソースドライバを示すブロック図である。

【図 2】従来の 8 ビット D-A 変換器を示すブロック図である。

【図 3】図 2 に示した D-A 変換器における基準電圧生成器の内部の抵抗を示す図である。

【図 4】従来の 256-to-1 デコーディングスイッチのブロック図である。

10 【図 5】従来の出力バッファの回路図である。

【図 6】本発明の好適な実施形態に係る 2 段階 D-A 変換器のブロック図である。

【図 7】図 6 に示した D-A 変換器における出力バッファの回路図である。

【図 8】本発明の好適な実施形態に係る D-A 変換器のブロック図である。

【図 9】図 8 に示すルーチングスイッチの選択結果を示す表である。

20 【図 10】rail-to-rail 構成を有する出力バッファの回路図である。

【図 11】k 個の入力を有する内挿式バッファの回路図である。

【図 12】四つの入力を有する内挿式バッファを用いた 8 ビット D-A 変換器のブロック図である。

【図 13】図 12 に示す D-A 変換器におけるルーチングスイッチの選択結果を示す表である。

【図 14】内挿式バッファの他の実施形態のブロック図である。

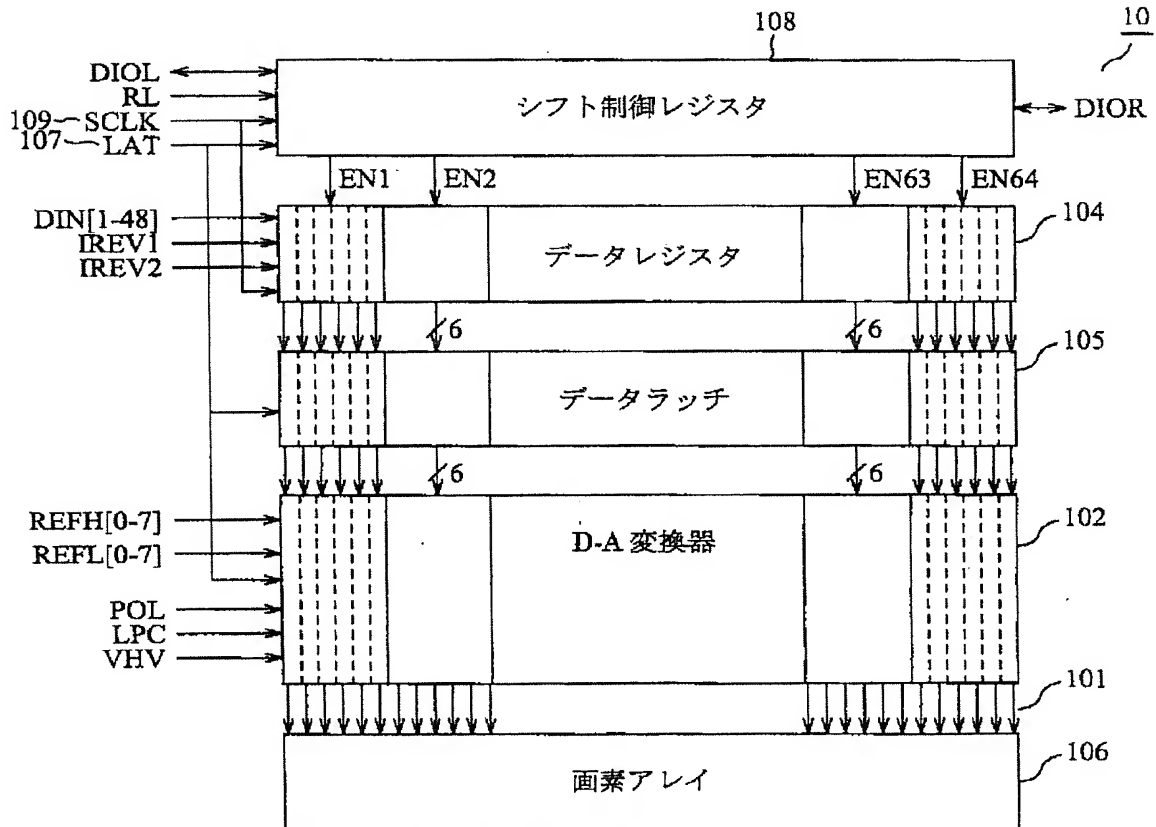
【符号の説明】

10	TFT-LCD ソースドライバ
101	出力チャンネル
102	D-A 変換器
103	出力バッファ
104	データレジスタ
105	データラッチ
106	画素アレイ
107	ラッチング信号 (LAT)
108	シフト制御レジスタ
109	システムクロック (SCLK)
21	基準電圧生成器
22	デコーディングスイッチ
31	スイッチ列
32	トランジスタ
51	デコーディングスイッチ
52	信号線 (LSB)
53	出力バッファ
81, 82	デコーディングスイッチ
83, 122	ルーチングスイッチ
84	内挿式バッファ
50 85	負荷回路

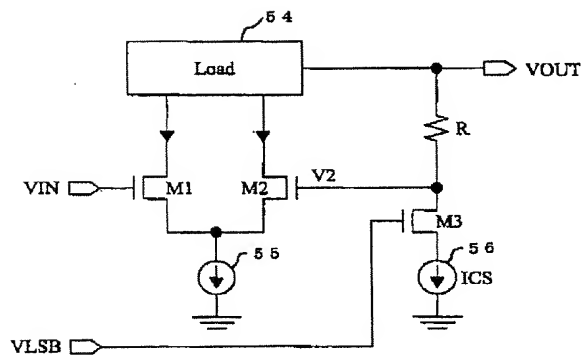
15
90 出力バッファ
91 負荷回路
11 内挿式バッファ

16
* 12 負荷回路
121 デコーディングスイッチ
* 123 内挿式バッファ

【図1】



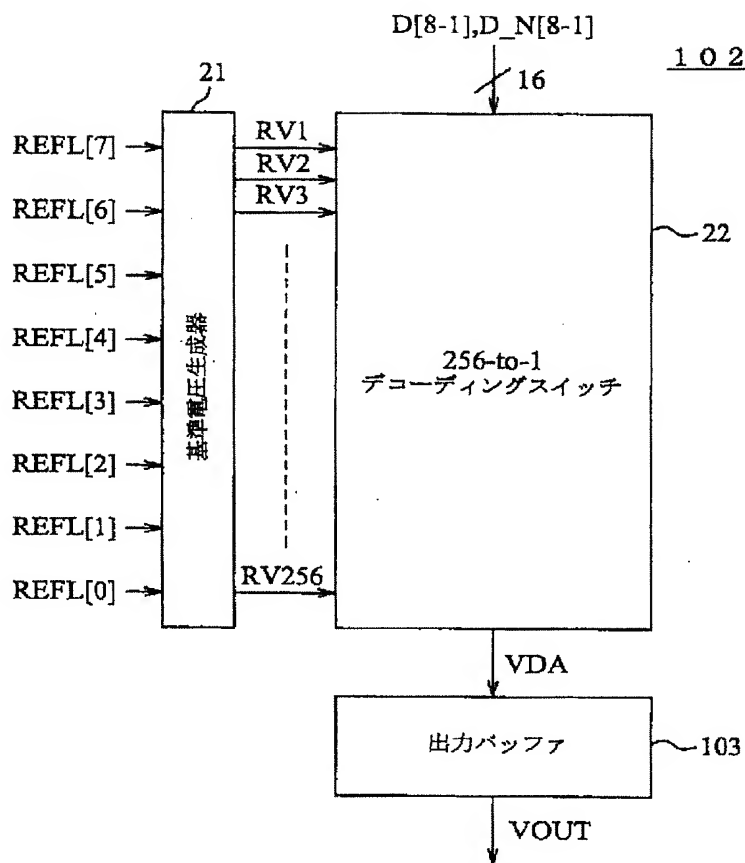
【図7】



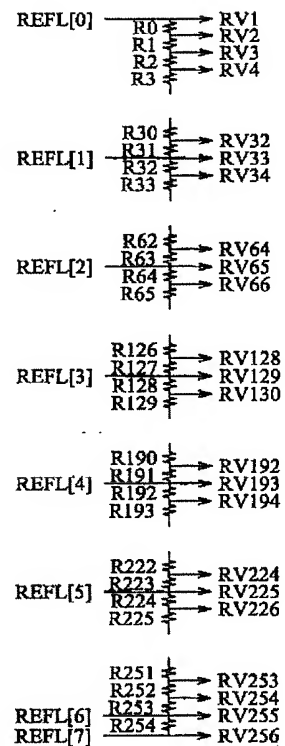
【図9】

D[2]	D[1]	V2'	V1'	VOUT
0	0	V1	V1	V1
0	1	V1	V2	$\frac{S_2}{S_F} \times V1 + \frac{S_1}{S_F} \times V2$
1	0	V2	V1	$\frac{S_1}{S_F} \times V1 + \frac{S_2}{S_F} \times V2$
1	1	V2	V2	V2

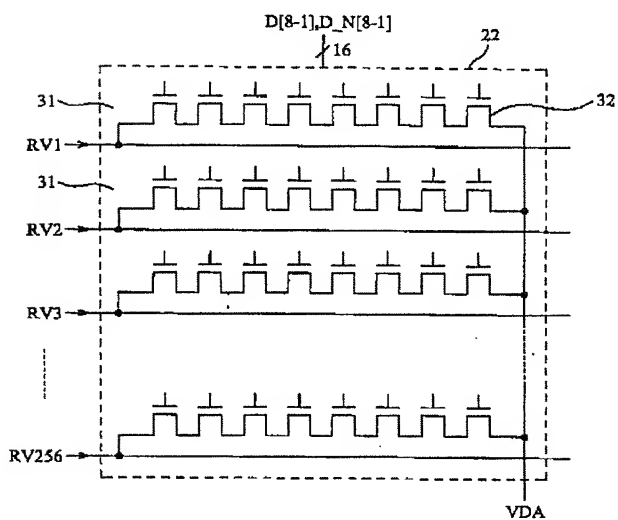
【図2】



【図3】



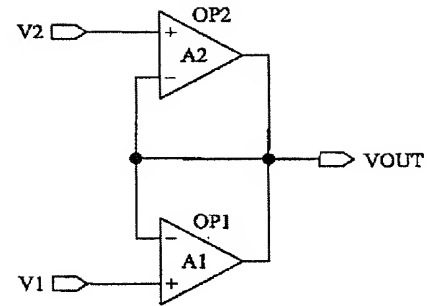
【図4】



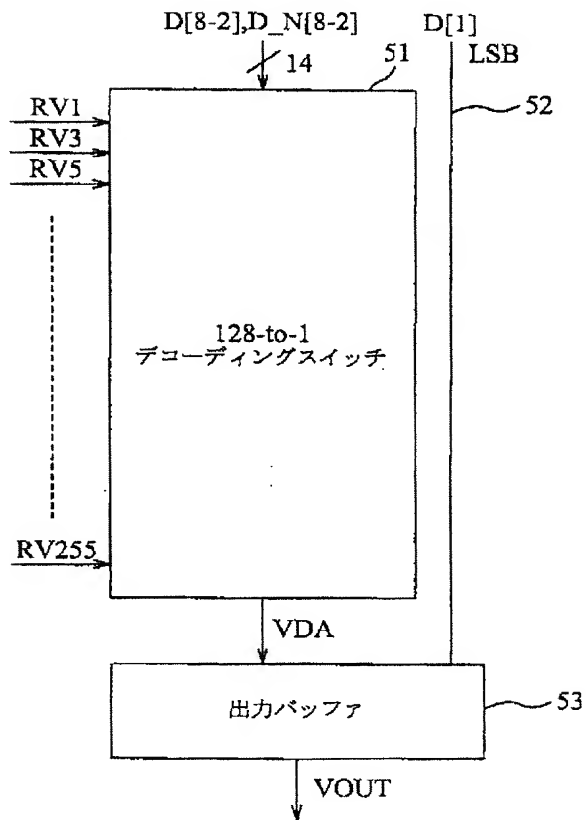
【図13】

D[2]	D[1]	V2'	V1'	D[1]	V2'	VOUT
0	0	V1	V1	V1	V1	V1
0	1	V2	V1	V1	V1	$V1 + \frac{1}{4}(V2 - V1)$
1	0	V2	V2	V1	V1	$V1 + \frac{2}{4}(V2 - V1)$
1	1	V2	V2	V2	V1	$V1 + \frac{3}{4}(V2 - V1)$

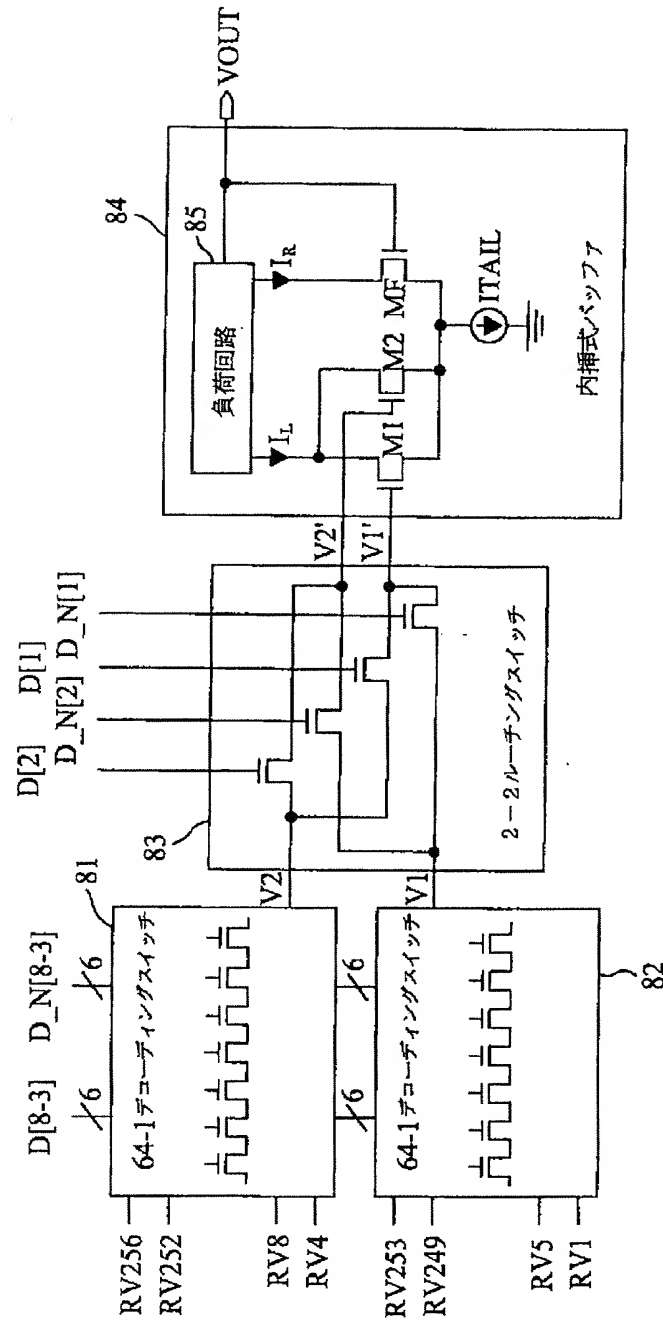
【图 1 4】



D[8-2],D_N[8-2] D[1]
~~14~~ 51 | LSB

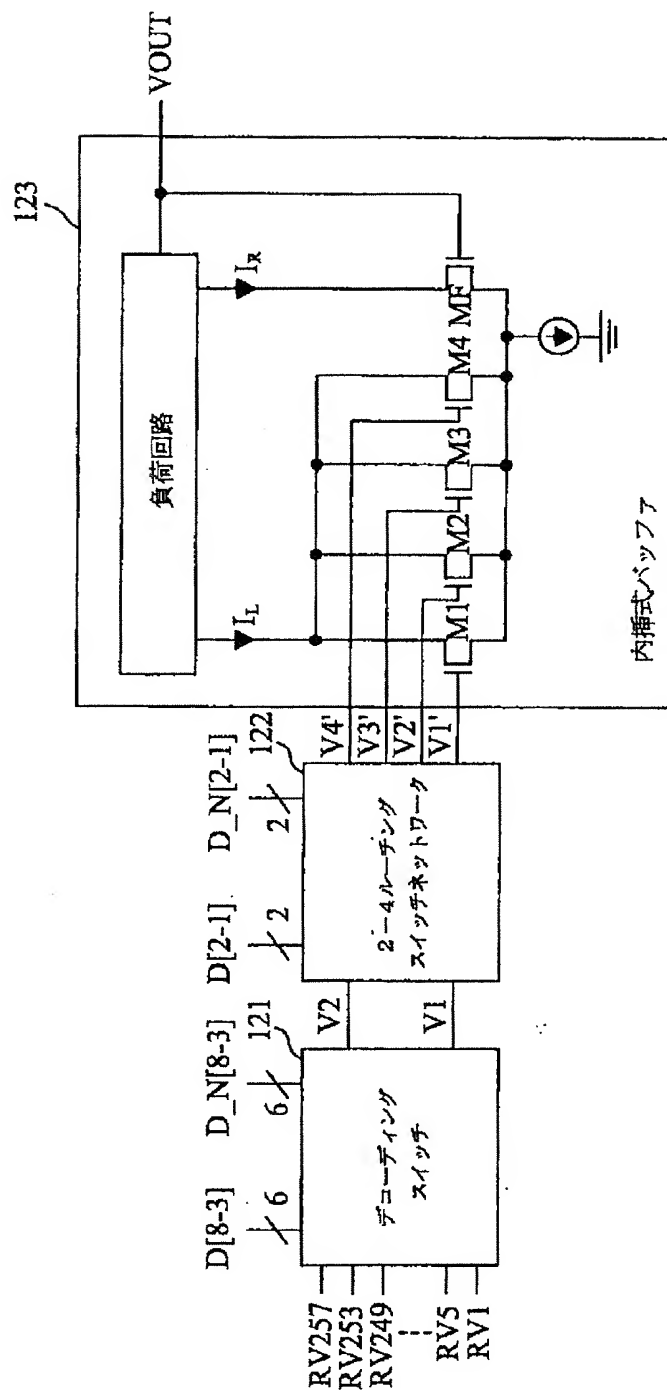


【図8】



The diagram shows a differential amplifier circuit. It consists of two NMOS transistors, MN1 and MN2, and two PMOS transistors, MP1 and MP2. The gates of MN1 and MN2 are connected to input signals V1 and V2, respectively. The gates of MP1 and MP2 are connected to a common-mode feedback node, which is also connected to a current source ITP. The sources of MN1 and MN2 are connected to a common source node, which is connected to ground through a current source ITN. The drains of MN1 and MN2 are connected to the gates of MP1 and MP2, respectively. The drains of MP1 and MP2 are connected to output nodes IN1 and IN2, respectively. The output nodes IN1 and IN2 are connected to a load circuit 91, which has inputs IN1, IN2, IN3, and IN4. The load circuit 91 has an output OUT1, which is connected to the output VOUT. The load circuit 91 is also connected to a current source IPR.

【図12】



フロントページの続き

(72)発明者 楊 存孝

台湾新竹科学園區工業東四路24-2号2F

F ターム(参考) 5C006 AA01 AA16 AF83 BB16 BF03
BF04 BF24 BF25 BF26 BF31
BF43 FA41 FA51 FA56
5C080 AA10 BB05 DD22 DD27 EE29
FF11 GG08 JJ02 JJ03
5J022 AB02 BA06 CA08 CD03 CF02
CF04 CF07 CF09